

Family list

1 family member for:

JP4186635

Derived from 1 application.

1 THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Publication info: **JP4186635 A** - 1992-07-03

Data supplied from the **esp@cenet** database - Worldwide

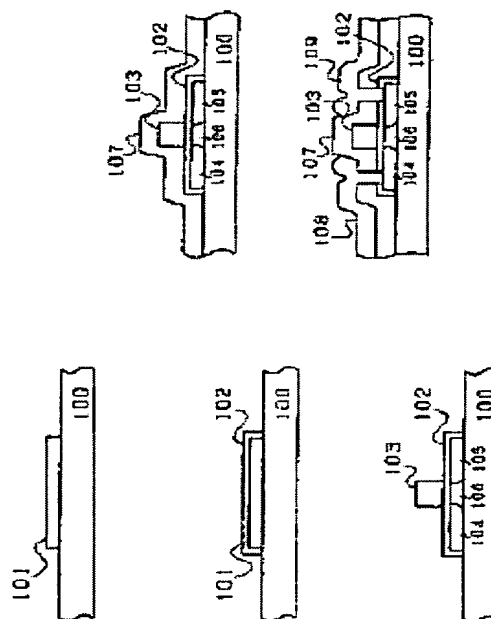
THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP4186635
Publication date: 1992-07-03
Inventor: SATO JUNJI
Applicant: SEIKO EPSON CORP
Classification:
- international: *H01L21/20; H01L21/324; H01L21/336; H01L21/02;*
 (IPC1-7): H01L21/20; H01L21/324; H01L21/336;
 H01L29/784
- european:
Application number: JP19900311775 19901117
Priority number(s): JP19900311775 19901117

Report a data error here

Abstract of JP4186635

PURPOSE: To form Si thin film having a large crystal grain size and being hard to catch an impurity through a crystal grain interface by specifying the range of the total concentration of impurity concentrations of oxygen, carbon and nitrogen contained in the region for unsingle crystal semiconductors in a channel region. **CONSTITUTION:** An intrinsic a-Si thin film is laminated on a quartz substrate 100 by plasma CVD method. In this case, the total concentration of impurities contained in the thin film is about 1×10^{17} molecules/cm³ - 1×10^{19} molecules/cm³. After the a-Si thin film is patterned in the semiconductor region 101 of TFT, the thin film is made larger in grain size by such means as a solid growth method or annealing. Then, thermal oxidation is conducted so that SiO₂ 102 being a gate insulating film is formed on a poly-Si thin film. Subsequently, a gate electrode 103 is formed. As gate electrode material, polycrystalline silicon is used in general. Then, a layer insulating film 107 is laminated. After that, a heat treatment at about 600-1000 deg.C is conducted for the purpose of activating a dopant in a source region 104 and drain region 105 and making the layer insulating film 107 compact.



Data supplied from the *esp@cenet* database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-186635

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月3日

H 01 L 21/336
21/20
21/324
29/784

Z

9171-4M
7738-4M

9056-4M

H 01 L 29/78

3 1 1 Z

審査請求 未請求 請求項の数 4 (全6頁)

⑮ 発明の名称 薄膜半導体装置及びその製造方法

⑯ 特 願 平2-311775

⑰ 出 願 平2(1990)11月17日

⑱ 発 明 者 佐 藤 淳 史 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

薄膜半導体装置及びその製造方法

2. 特許請求の範囲

(1) 薄膜半導体装置の主要部が非単結晶半導体より構成される薄膜半導体装置に於いて、チャネル領域の非単結晶半導体に対する該領域に含まれる酸素の不純物濃度および炭素の不純物濃度および窒素の不純物濃度の総計濃度の範囲が 1×10^{17} 個/cm³～ 1×10^{18} 個/cm³であることを特徴とする薄膜半導体装置。

(2) 非晶質半導体薄膜を形成する工程と、該薄膜をアニールして多結晶半導体薄膜化する工程とを少なくとも含む薄膜半導体装置の製造方法によって、結晶粒径 $1 \mu\text{m}$ 以上の結晶粒を含む半導体から成る電界効果トランジスタの半導体領域を形成したことを特徴とする薄膜半導体装置の製造方法。

(3) 請求項2記載の薄膜半導体装置の製造方

法によって、前記総計濃度の範囲が 1×10^{17} 個/cm³～ 1×10^{18} 個/cm³であるチャネル領域を形成したことを特徴とする薄膜半導体装置の製造方法。

(4) 請求項2記載の薄膜半導体装置の製造方法によって、前記総計濃度の範囲が 1×10^{17} 個/cm³～ 1×10^{18} 個/cm³であるチャネル領域を形成し、且つ、ドーパントの活性化アニールを二段階で行なったことを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、薄膜半導体装置及びその製造方法に関する。

[従来の技術]

近年、大型で高解像度のアクティブマトリクス液晶表示パネル、高速で高解像度の密着型イメージセンサ、3次元IC等への実現に向けて、ガラス、石英などの絶縁性非結晶基板や、多層化珪素(SiO₂・xは1～3)などの絶縁性非結晶層上

に、高性能な半導体素子を形成する試みがなされている。特に、大型の液晶表示パネルに於いては、低コストの要求を満たすために、廉価な低融点ガラス基板上に薄膜トランジスタ(TFT)を形成し駆動素子とすることが必須の要求になりつつある。

非晶質シリコン(以下a-Si)薄膜をアニールして多結晶シリコン(以下poly-Si)薄膜化することを、以下固相成長と呼ぶ。

従来、a-Si薄膜の固相成長により大粒徑化したpoly-Si薄膜を用いて、TFTのチャネル領域を形成する試みはあったものの、a-Si薄膜が物質構造由来で包含する水素の脱離工程に於いて該薄膜の空洞化を防ぐ有力な方法がなかった。そのため、該薄膜によって形成されたチャネル領域の抵抗率は、poly-Siを減圧下化学気相成長法(以下LPCVD法)などにより積層した薄膜の抵抗率よりかなり高かった。営業をかえれば、TFTを駆動素子としてとらえた場合、待機中に消費する電力(オフ電流)が高くなって

しまっていた。

また、一般に固相成長に於いては、非活性な元素、特に酸素および炭素および窒素が不純物として混入すると、poly-Si薄膜となるまでに要するアニール時間の長時間化、得られる該薄膜の結晶粒徑の微小化、キャリアの捕獲による該薄膜の移動度の低下及び抵抗率の増大を招くことが知られている。Si薄膜をLPCVD法などにより積層する場合には、500℃以上の比較的高温域に於いては、酸素の不純物濃度および炭素の不純物濃度および窒素の不純物濃度の総計濃度(以下不純物総計濃度)は下がるものの、既に微小粒徑のpoly-Si薄膜になっていて固相成長は出来ず、かと言ってa-Si薄膜を得るために温度を下げると、膜積層速度が大幅に減り不純物総計濃度が増大して固相成長には向かなくなってしまう。即ち、通常のLPCVD法などにより積層したpoly-Si薄膜は、抵抗率の点では有利なものの、LPCVD法などはより大粒徑のpoly-Si薄膜を得ることを目的とした固相成長

法のためのa-Si薄膜の積層には向いていない。

[発明が解決しようとする課題]

そこで、本発明はより短い時間でa-Si薄膜をより結晶粒徑の大きいpoly-Si薄膜とし、且つTFTのオフ電流特性を改善しようとするものであり、その目的とするところは、より高性能の薄膜半導体装置及びその製造方法を提供するところにある。

[課題を解決するための手段]

(1) 本発明の薄膜半導体装置は、薄膜半導体装置の主要部が非単結晶半導体より構成される薄膜半導体装置に於いて、チャネル領域の非単結晶半導体に対する該領域に含まれる酸素の不純物濃度および炭素の不純物濃度および窒素の不純物濃度の総計濃度の範囲が 1×10^{17} 個/cm³ ~ 1×10^{18} 個/cm³であることを特徴とする。

(2) また、本発明の薄膜半導体装置の製造方法は非晶質半導体薄膜を形成する工程と、該薄膜をアニールして多結晶半導体薄膜化する工程とを少なくとも含む薄膜半導体装置の製造方法によ

り、結晶粒徑1μm以上の結晶粒を含む半導体から成る電界効果トランジスタの半導体領域を形成したことを特徴とする。

(3) また、本発明の薄膜半導体装置の製造方法は前記2記載の薄膜半導体装置の製造方法によって、前記総計濃度の範囲が 1×10^{17} 個/cm³ ~ 1×10^{18} 個/cm³であるチャネル領域を形成したことを特徴とする。

(4) また、本発明の薄膜半導体装置の製造方法は前記2記載の薄膜半導体装置の製造方法によって、前記総計濃度の範囲が 1×10^{18} 個/cm³ ~ 1×10^{20} 個/cm³であるチャネル領域を形成し、且つ、ドーパントの活性化アニールを二段階で行なったことを特徴とする薄膜半導体装置の製造方法。

[実施例]

第1図(a) ~ (e)は、本発明の実施例における薄膜半導体装置の製造工程図の一例である。この第1図においては、薄膜半導体素子としてTFTを形成する場合を例示している。

まず、石英基板上100にプラズマCVD法(P CVD法)により、真性a-Si薄膜を約800~1500Å積層する。このとき該薄膜中に含まれる不純物総計濃度は 1×10^{17} 個/cm³~ 1×10^{19} 個/cm³程度である(6×10^{18} 個/cm³以下で特に望ましい)。成膜方法はP CVD法に限定されるものではなく、不純物総計濃度を限定したところが重要である。該a-Si薄膜の積層工程に於いては、P CVD法以外にL P CVD法、μ波プラズマCVD法、スパッタ法などを用いてもよいし、また、真性poly-Si(若しくはp型poly-Si、若しくはn型poly-Si)薄膜中へSiイオンインプラントーションを行うなどしてもよい。本実施例では、P CVD法の場合を説明する。P CVD法では、a-Si薄膜の成膜ガスとしてSiH₄及びH₂ガスを用いた。該a-Si薄膜の成膜条件は、基板温度180~250℃、真空槽内圧(以下内圧)0.8 Torrで、周波数13.56MHzのRF電源を用いた。また、SiH₄、H₂の流量比は[SiH₄]/

[H₂]=1/6となるように設定した。但し、成膜条件はこれに限定されるものではない。このa-Si薄膜をTFTの半導体領域101にバタニングした後、固相成長法またはアニールなどの手段により大粒径化する(第1図(a))。この場合、大粒径化の後にバタニングしてもよい。また、大粒径化により、該a-Si薄膜は多結晶薄膜化(poly-Si薄膜化)する。以下に大粒径化のアニールの方法を示す。アニールは、第一のアニールと、第二のアニールとからなり、両アニールとも不活性ガスを用いて行う。本実施例では両アニールとも不活性ガスとしてN₂を用いたが不活性ガスはこれに限定されるものではない。まず、アニールに際してはアニール炉の予熱は最低限に抑え低温挿入を行う。大量生産に於いては、連続工程となるため直前バッチの余熱が残っていることも考えられるが、この場合でも一旦炉を冷やして低温挿入の方が望ましい。第一のアニールは、a-Si薄膜が大気中に取り出された場合酸素等を吸着し、以って該薄膜の膜質低下をもたらすこ

とを防止することを主たる目的として行う。a-Si薄膜の成膜後のアニール工程は連続工程則ち真空槽をブレイクせずに窒素ガスを導入しそのまま熱処理する工程であることが望ましく、その場合第一のアニールは省くこともできる。第一のアニールは熱処理温度300℃以上が望ましく、400~500℃で特に大きな効果が得られた。尚、該薄膜の緻密化のみを目的とするならば熱処理温度300℃未満でも効果がある。第二のアニールは、a-Si薄膜を大粒径化することを目的として行う。第二のアニールは熱処理温度550~850℃で数時間~72時間行ったが、特に40時間以上で望ましい効果が得られた。第二のアニールによって、水素の脱離と結晶成長が起こり、1~3μm(40時間以上で2~3μm)の大粒径のpoly-Si薄膜が形成される。尚、両アニールとも、アニール前の温度から設定アニール温度に達するまでの昇温速度を毎分20deg、よりも速くして行う(毎分5deg、よりも速くすると特に望ましい)。その理由とするところは、

前記昇温速度よりも速く所定のアニール温度まで昇温すると、特に300℃を超えてから顕著な現象であるが、a-Si薄膜中に欠陥を生じ易くなり、延いては該薄膜の剥離を来す事もあるからである。尚、第二のアニールは以下これを固相成長アニールと呼ぶ。このとき、得られたpoly-Si薄膜の結晶粒径の大きさは1μm~3μm程度であり、中には数μm程度まで成長した結晶粒もある。また結晶部分の総和が該薄膜に占める体積比(以下結晶体積比)は90%を超える。ここまで結晶粒の成長が進むのは、a-Si薄膜成膜時の不純物総計濃度が 1×10^{17} ~ 1×10^{19} 個/cm³(6×10^{18} 個/cm³以下で特に望ましい)と低いためである。該濃度が 1×10^{19} 個/cm³を超える従来のL P CVD法などによる成膜では結晶粒径は1μm程度までしか成長せず、結晶体積比も70~80%で頭打ちとなっている。また固相成長アニールによる大粒径化に要する時間も、結晶体積比60%の点で比較して、後者従来法では30~40時間と長かったのに対し、前者本発

明では12~18時間と、飛躍的な工程時間の短縮ができる。尚、不純物総計濃度を小さくするためには、前記a-Si薄膜を成膜する真空槽を、到達真空度 4×10^{-7} Torr ~ 1×10^{-5} Torr (2×10^{-5} Torr 以下が特に望ましい)程度まで真空化する。この真空化は、a-Si薄膜中の不純物総計濃度を減少させる上で特に重要な要素の一つである。また、結晶粒の成長を阻害する要因として最も大きく寄与する元素は酸素であるが、酸素だけの不純物濃度を前記不純物総計濃度まで減少させても、炭素の不純物濃度及び窒素の不純物濃度が合わせて 1×10^{19} 個/cm³を超えていると従来のLPCVD法などによる成膜の場合と同程度の結晶粒径・結晶体積比にしかならない。即ち、酸素・炭素・窒素の不純物濃度はバラバラにではなく、総計として制限することが重要である。但し、炭素・窒素が不純物として混入した場合は、酸素が不純物として混入した場合に比べて、後に述べるオフ電流の二段階活性化アニールによる回復が若干良い。また、成膜ガスの純

度若しくは成膜ガス及びドーピングガスの純度を上げると、更に不純物総計濃度は減少し、更に大粒径のpoly-Si薄膜を得ることが出来る。続いて、熱酸化を行いpoly-Si薄膜上にゲート絶縁膜であるSiO₂102を約300~500Å形成する(第1図(b))。ここでは、熱酸化以外にスパッタ法を用いてもよい。また、ゲート絶縁膜の材料としてはSiO₂に限らず窒化シリコンその他の絶縁性シリコン化合物でもよい。次に第1図(c)に示すようにゲート電極103を形成する。該ゲート電極材料としては、一般的に多結晶シリコンが用いられている。該多結晶シリコン層の形成方法としては、減圧CVD法で多結晶シリコン層を形成し、PClO₃等を用いた熱拡散法により、n⁺poly-Siを形成する方法、プラズマCVD法等で、例えば前記a-Si薄膜と成膜条件を同じようにして、B(ボロン)若しくはP(燐)をドーパントとしてドーブした非晶質シリコン層を形成し、550℃~650℃程度の固相成長アニールを2時間~70時間程度行い、

該非晶質シリコン層を多結晶化することで、p⁺poly-Si若しくはn⁺poly-Siを形成する(以下これを固相成長アニール法と呼ぶ)等の方法がある。特に固相成長アニール法を用いてゲート電極を形成した場合には、結晶粒径1~2μm以上の結晶粒を含む大粒径の多結晶シリコンが形成できるため、熱拡散法を用いた場合よりも低抵抗の多結晶シリコンゲート電極を得ることが出来ると言う利点がある。更にゲート電極としてp⁺poly-Siを用いた場合は、チャネルイオンインプラントーション工程を省くことが出来ると言う利点があるが、詳細は後述する。尚、固相成長アニール法を用いる場合には、ゲート電極のパタニングの後に固相成長アニールを行なっても良いし、固相成長アニールの後にゲート電極のパタニングをしてもよい。続いて該ゲート電極103をマスクとしてドーパントをイオン注入して、半導体領域101にソース領域104及びドレイン領域105及びチャネル領域106を形成する。前記ドーパントとしては、P(燐)、As(砒素)、

またはB(ボロン)等が用いられている。次に第1図(d)に示すように層間絶縁膜107を積層する。続いて、前記ソース領域104内及びドレイン領域105内のドーパント活性化と、前記層間絶縁膜107の緻密化の目的で、600℃~1000℃程度の熱処理(以下活性化アニール)を行なう。続いて、第1図(e)に示すように層間絶縁膜にコンタクトホールを開け、ソース領域104及びドレイン領域105の引き出し電極108及び109を形成してTFTは完成する。

ところで、このようにして得られたTFTのオフ電流特性を調べてみると、a-Si薄膜成膜時に該薄膜に含まれる不純物総計濃度が 1×10^{19} ~ 1×10^{20} 個/cm³程度である従来のTFT(以下従来TFT)のオフ電流(トランジスタサイズL/W=5μm/10μmのpchで $1 \sim 3 \times 10^{-11}$ A、L/W=6μm/10μmのnchで $1 \sim 4 \times 10^{-10}$ A程度)と比較して、前記不純物濃度が 1×10^{17} ~ 1×10^{18} 個/cm³のTFT(以下低不純物濃度TFT)では、pchで1/3~

1/5、 nch で1/8~1/20にまで減少していることが分かった。また、従来TFTであっても、オフ電流を減少させる方法も同時に分かった。その方法とは、活性化アニールを2回に分けて行なうことである(以下二段階活性化アニール)。1回目の活性化アニールは窒素雰囲気中で600~800℃の温度範囲で2~20時間、2回目の活性化アニールは同じく窒素雰囲気中で850~1050℃の温度範囲で20分~1時間行なった。その結果オフ電流は、1回で活性化アニールを行なった従来TFTの場合に比べて、 pch で1/2~1/4、 nch で1/3~1/10にまで減少した。即ち、従来TFTの場合には低不純物濃度TFTの場合に比べて効果はやや小さいものの、不純物総計濃度が高くとも二段階活性化アニールを行うことによってオフ電流を低減できるという点で大きな効果がある。また、不純物総計濃度が 1×10^{20} 個/cm³を超える場合でも、二段階活性化アニールの効果はあるが、その効果は微々たるものになる。

1/15、 nch で1/25~1/100にまで減少した。但し、低不純物濃度TFTの場合は、もともと前記不純物総計濃度が低いため、二段階活性化アニールの効果はそれほど顕著には現われていない。

さて、ゲート電極として $p^+poly-Si$ を用いた場合の利点について、以下に説明する。従来の水素化 $poly-Si$ はキャリアとして電子を極く少量含むため、ゲート電極として $n-poly-Si$ を使用すると、 p チャネルTFTの場合は問題が無いが、 n チャネルTFTではスレッシュホールド電圧が-1Vほどにずれ込む現象がみられる。これはオフ電流を上げる結果につながり、発熱若しくは消費電力の肥大につながるため望ましくない。このため従来は、ゲート絶縁膜とチャネル領域との界面付近にある電荷を打ち消すためのチャネル処理工程を必要としていた。しかし、主たるチャネル処理工程であるチャネルドーピングはドーパ量の制御が難しく、ドーピング過剰による膜質劣化から、TFT作動時電流の低下など

ここで従来TFTのオフ電流発生の機構としては、次の2つの要因が考えられる。

① 不純物の存在により、固相成長が阻害され、チャネル領域の未結晶部分に多数の電子-正孔対発生準位ができてしまった。

② 不純物の存在が電子-正孔対の発生に直接寄与している。

活性化アニールは、ソース・ドレイン領域内のドーパントの活性化を目的として行う工程だが、①として考えれば未結晶部分の再結晶化を促す効果があり、②として考えれば、結晶部分からの不純物原子の押し出し(不純物による電子-正孔対発生準位の不活性化)の効果がある工程とも見なせる。この考え方は活性化アニール工程を二段階活性化アニールとする事でオフ電流を減少させることができるという、前記の結果を裏付けている。尚、この二段階活性化アニールは、低不純物濃度TFTの場合も若干効果がある。前記同様の二段階活性化アニールを行なうことにより、オフ電流は従来TFTの場合に比べて、 pch で1/6~

もしばしば起こる。本発明の p 型 $poly-Si$ 薄膜となった p 型 $a-Si$ 薄膜のパタニングによるゲート電極を用いれば、 n チャネルTFTばかりでなく p チャネルTFTに於いてもスレッシュホールド電圧のずれ込みは起こらないのでチャネル処理工程を省くことが出来、且つ特性の良いTFTを得ることが出来る。

[発明の効果]

本発明の薄膜半導体装置及びその製造方法によれば、結晶粒径が大きく結晶粒界面に不純物を捕獲しにくい Si 薄膜を成膜することが出来る。

そして、本発明の薄膜半導体装置及びその製造方法によれば、良好な特性を持つ半導体装置を従来の工程よりも容易に製造できるので、歩留りの向上も達成できる。

4. 図面の簡単な説明

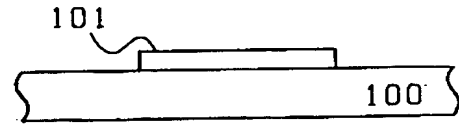
第1図(a)~(e)は本発明の実施例に於ける薄膜半導体装置の製造工程図の一例である。

100 --- 石英基板

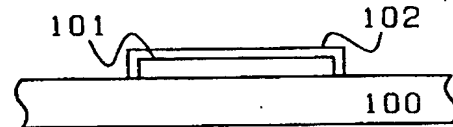
- 101 …… 半導体領域
- 102 …… ゲート絶縁膜
- 103 …… ゲート電極
- 104 …… ソース領域
- 105 …… ドレイン領域
- 106 …… チャネル領域
- 107 …… 層間絶縁膜
- 108・109 …… 引き出し電極

以 上

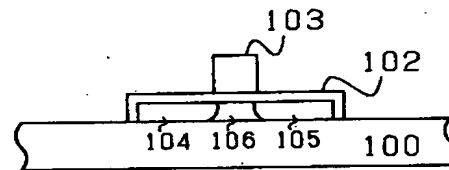
出願人 セイコーエプソン株式会社
 代理人弁理士 鈴木喜三郎(他1名)



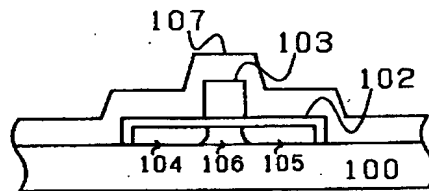
第1図(a)



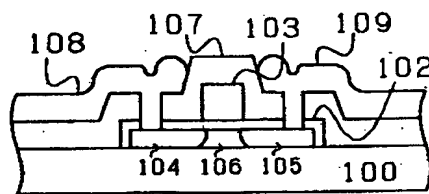
第1図(b)



第1図(c)



第1図(d)



第1図(e)